

LC7883

LC7883M

CMOS LSI

デジタルフィルタ内蔵

デジタルオーディオ用16ビットD/Aコンバータ

■ 規定規格

LC7883, 7883Mは、8倍オーバーサンプリング デジタルフィルタ内蔵の16ビットD/Aコンバータである。

特長
デジタルフィルタ部

- ・ 8倍オーバーサンプリング デジタルフィルタ
- ・ デジタルディエンファシス
- ・ デジタルアッテネーション
- ・ 倍速対応
- ・ 384Fs(CD), 392Fs(CD : LC7860, LC7863), 448Fs(CD-ROM XA : LC8955), 512Fs(BS, DAT)対応

D/Aコンバータ部

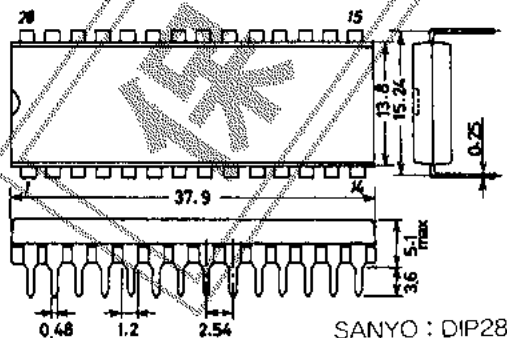
- ・ ダイナミック・レベル・シフト変換方式
- ・ 2チャンネル分のD/A変換器内蔵(同相出力)
- ・ S/H(ディグリッチ)回路不要
- ・ 5V単一電源

最大定格 / Ta=25°C, Vss=0V

項目	記号	定 格	unit
最大電源電圧	VDD max	-0.3~+7.0	V
入力電圧	VIN	-0.3~VDD+0.3	V
出力電圧	VOUT	-0.3~VDD+0.3	V
動作周囲温度	Topg	-30~+75	°C
保存周囲温度	Tstg	-40~+125	°C

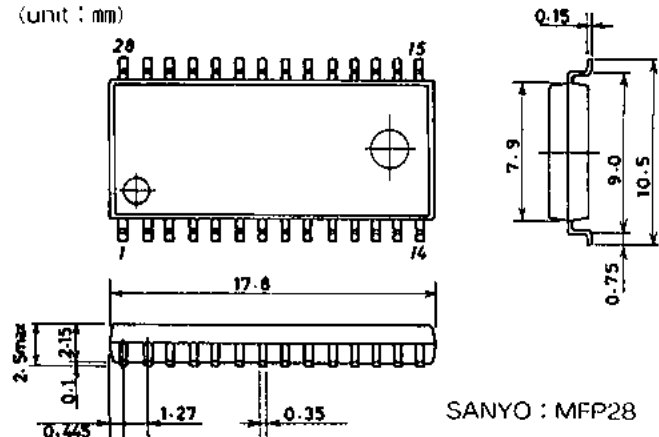
外形図 3012A-D28IC [LC7883]

(unit : mm)



外形図 3091-M28IC [LC7883M]

(unit : mm)



*これらの仕様は、改良などのため変更することがあります。

許容動作範囲

項目	記号	min	typ	max	unit
電源電圧	VDD	4.5	5.0	5.5	V
基準電圧 "H"	VrefH	VDD-0.5		VDD	V
基準電圧 "L"	VrefL	0		0.5	V
入力 "H" 電圧	V _{IH}	2.2		VDD+0.3	V
入力 "L" 電圧	V _{IL}	-0.3		0.8	V
動作周囲温度	Topg	-30		+75	°C

電気的特性 (特に指定なき場合 Ta=25°C, VDD=5.0V, VrefH=5.0V, VrefL=0.0V)

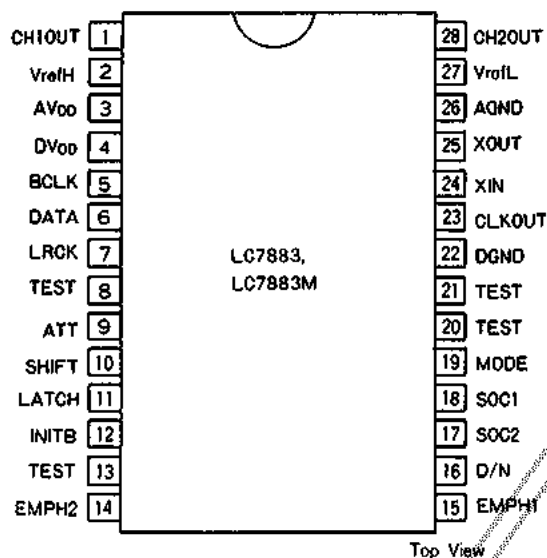
項目	記号	条件	min	typ	max	unit
DAC分解能	RES			16		ビット
全高調波ひずみ率	THD1	1 kHz, 0 dB時			0.08	%
クロストーク	C・T	1 kHz, 0 dB時		-85	-79	dB
信号対雑音比	S/N	1 kHz, 0 dB時	85	92		dB
消費電力	Pd	※1		250	300	mW
発振周波数	f _x			16.9344	25	MHz
入力BCLK周波数	f _{BCK}				3.1	
クロック出力端子(PIN23)振幅	ACLK	※2	1			V _{PP}
PULL DOWN 抵抗値 (PIN 17, 18, 19, 20, 21)	R _{DOWN}		10		80	kΩ
入力BCLKパルス幅	t _{WB}		100			ns
入力データセットアップ時間	t _{DS}		20			
入力データホールド時間	t _{DH}		20			
入力LRCKセットアップ時間	t _{LRS}		50			
入力LRCKホールド時間	t _{LRH}		50			
プログラム入力基本タイム	t _{PR}	f _x =16.9344MHz	250			
ラッチ入力パルス幅	t _{WLT}		50			
SHIFT, LATCH, 立ち上がり時間	t _r				200	
SHIFT, LATCH, 立ち下がり時間	t _f				200	
ATTセットアップ時間	t _{SET}		500			
ATTホールド時間	t _{HOLD}		500			
インターバル	t _{INT}		1000			

※1 XIN振幅 1.5~3.5V, f_x=16.9344MHz※2 f_x=16.9344MHz, C_L=20pF

測定回路は応用回路例に準じる。

LC7883, 7883M

ピン配置図

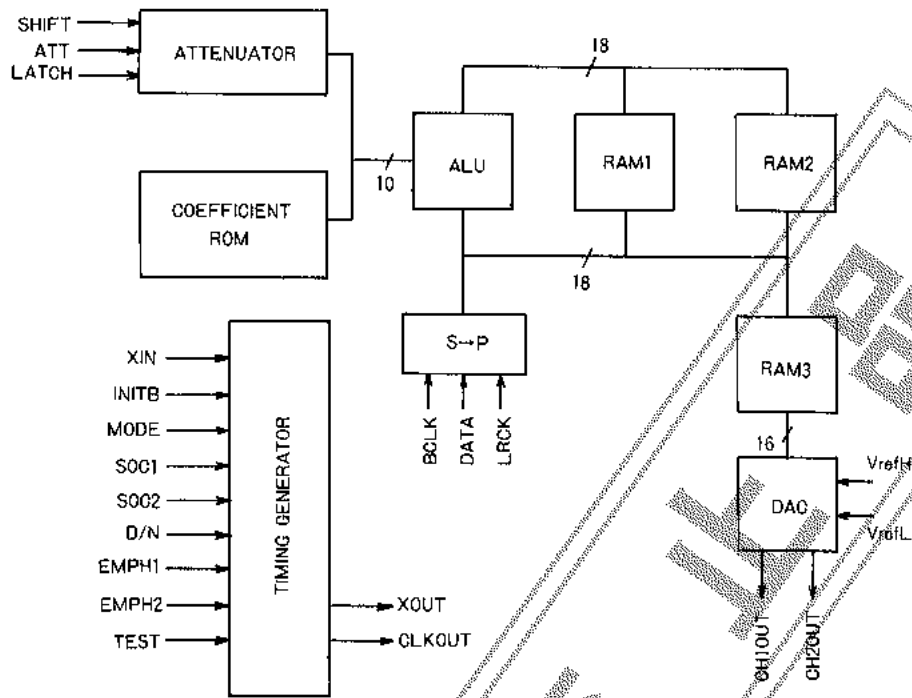


端子説明

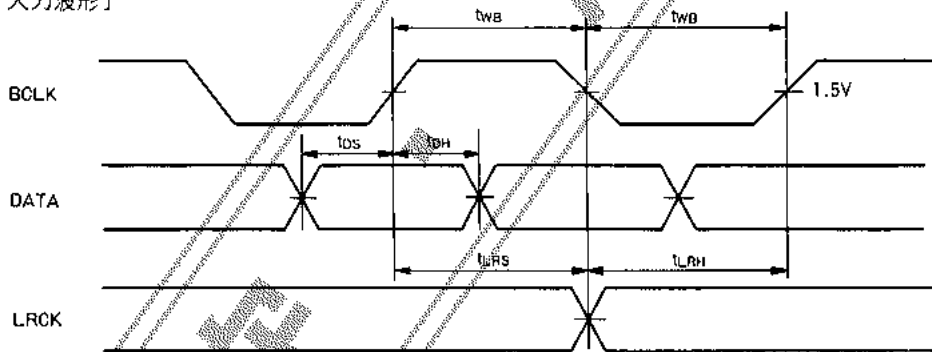
ピンNo	端子名	I/O	機能
1	CH1OUT	O	DAC CH-1 出力端子
2	VrefH	R	基準電圧 "H" 入力端子
3	AVDD	P	アナログ系電源端子
4	DVDD	P	デジタル系電源端子
5	BCLK	I	ビットクロック端子
6	DATA	I	デジタルオーディオデータ入力端子, 2'Sコンプリメント MSB側よりビットシリアルで入力
7	LRCK	I	LRクロック入力端子 LRCK="H" CH1 LRCK="L" CH2
8	TEST	I	テスト端子 (通常 "L")
9	ATT	I	アッテネートデータ入力端子 LSB側よりビットシリアルで入力
10	SHIFT	I	アッテネートデータ転送クロック入力端子
11	LATCH	I	アッテネートデータラッチクロック入力端子
12	INITB	I	初期化信号入力端子 (通常 "H")
13	TEST	I	テスト端子 (通常 "L")
14	EMPH2	I	ディエンファシス設定端子
15	EMPH1	I	
16	D/N	I	倍速 / 標準速切換端子
17	SOC2	I	入力ソース選択端子 (PULL DOWN)
18	SOC1	I	
19	MODE	I	動作モード設定端子 (PULL DOWN)
20	TEST	I	テスト端子 (通常 "L") (PULL DOWN)
21	TEST	I	
22	DGND	P	デジタル系GND端子
23	CLKOUT	O	クロック出力端子 392Fs : 1/2XOUT 384Fs, 448Fs, 512Fs : 1/4XOUT
24	XIN	I	水晶発振器入力端子
25	XOUT	O	水晶発振器出力端子
26	AGND	P	アナログ系GND端子
27	VrefL	R	基準電圧 "L" 入力端子
28	CH2OUT	O	DAC CH-2 出力端子

I : INPUT PIN
 O : OUTPUT PIN
 P : POWER PIN
 R : REFERENCE VOLTAGE PIN

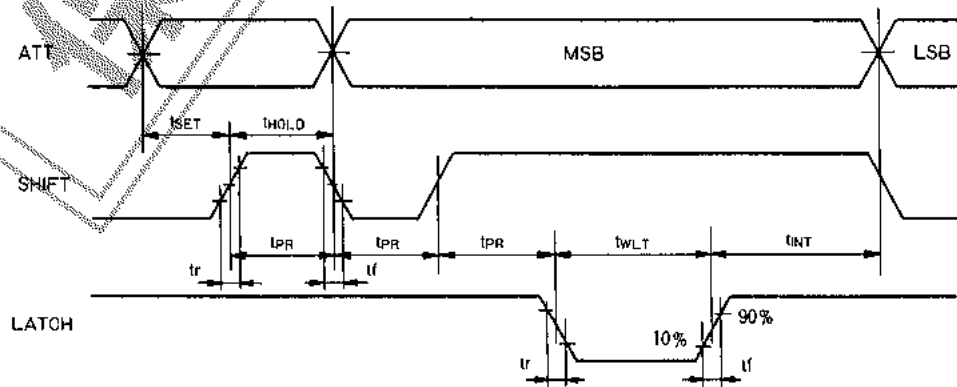
ブロック図



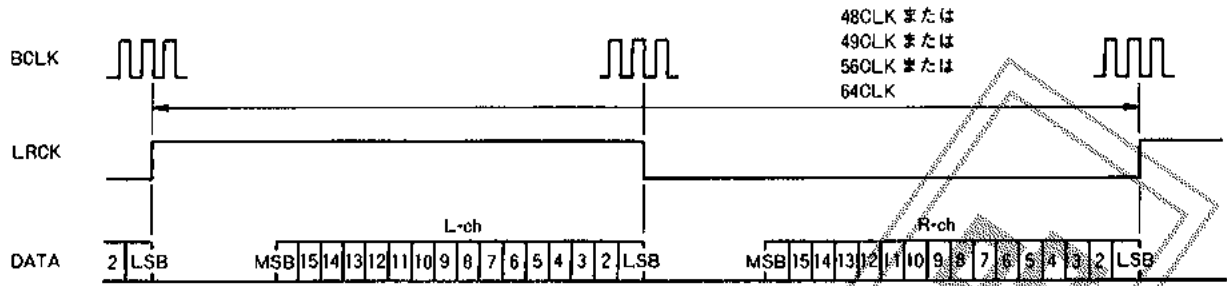
[オーディオ入力波形]



[プログラム入力波形]



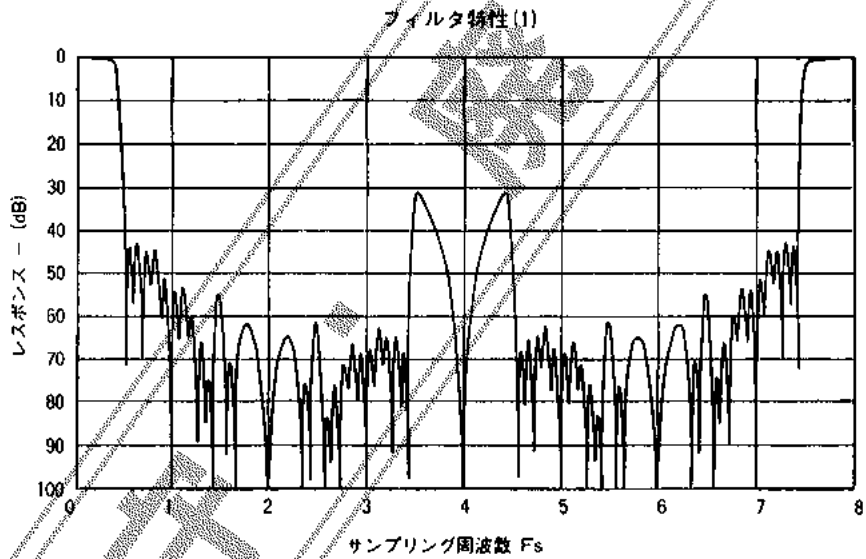
入力データフォーマット



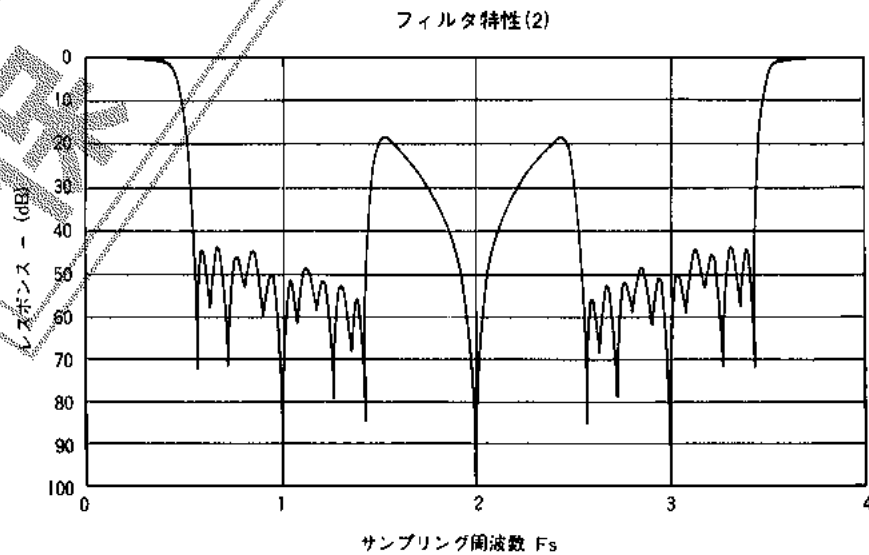
フィルタ特性 (理論値)

- 標準速時 : 8倍オーバーサンプリング
- 倍速時 : 4倍オーバーサンプリング
- リップル : $\pm 0.05\text{dB}$ 以内
- 減衰量 : -40dB 以下

• 標準速



• 倍速



動作説明

LC7883, 7883Mは、8倍オーバーサンプリング デジタルフィルタ部と16ビットD/Aコンバータ部の2つのブロックからできている。

・8倍オーバーサンプリング デジタルフィルタ部

デジタルフィルタは、下のブロック図に示すような処理を行っている。

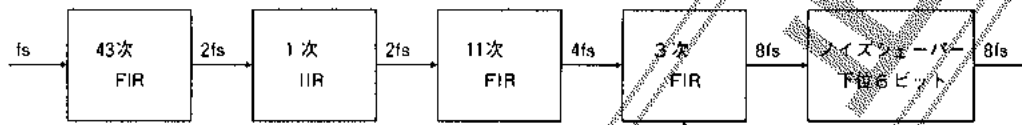
フィルタ処理時には、18bit長データでデータの転送を行い、DAC部へ出力する時には、18bitデータの低位6bitをノイズシェーピングを行い16bit長データとしている。

本デジタルフィルタは、標準速と倍速の2つの処理モードを持っている。

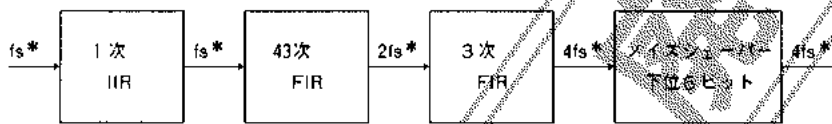
標準速は通常の処理で43次、11次、3次FIRで2倍、4倍、8倍とオーバーサンプリングを行っている。1次IIRはディエンファシスを行っている。

倍速は、CDをカセットテープに倍速でダビングする時に用いられる処理モードでXINは標準速と同じで、BCLK、DATA、LRCKが標準速の倍の速さで入力されるのに対応する。43次、3次FIRで、2倍、4倍とオーバーサンプリングを行っている。

・標準速



・倍速



fs* : 倍速入力

・16ビットD/Aコンバータ部

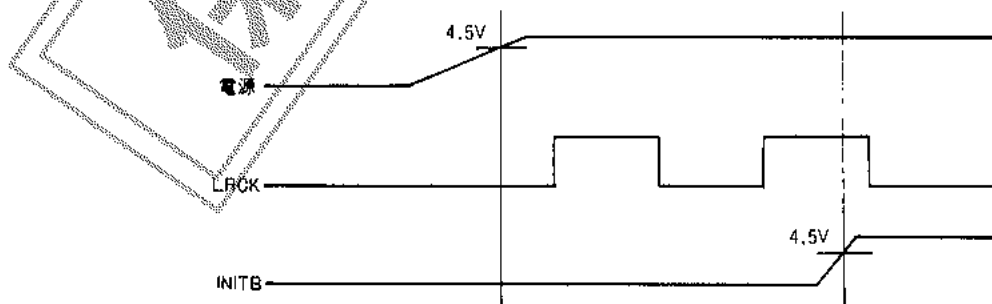
DAC部は当社のLC7881と基本的に同じものである。

CH1、CH2それぞれ独立したD/A変換器を内蔵し、抵抗ストリングによるD/A変換(R-string DAC)、PWM(パルス幅変調)によるD/A変換(PWM DAC)、レベルシフトによるD/A変換(Level shift DAC)を併用したダイナミックレベルシフト変換方式を用いている。

初期化

本ICは、電源投入時、入力ソース変更時に初期化が必要となる。

初期化のためには電源が安定し外部より、XIN、BCLK、LRCKを供給しているところへ、下図に示すようにLRCKの1周期よりも長い時間の“L”レベルを、INITBに入力する必要がある。



入力ソース設定

発振周波数に合わせて、SOC1、SOC2端子を下表のように設定する。

発振周波数	SOC1	SOC2
384Fs	L	L
392Fs	L	H
448Fs	H	L
512Fs	H	H

モード設定

ディエンファシス、標準/倍速の設定をMODE端子を“H”にすることによりEMPH1、EMPH2、D/N端子の状態で行うことができる。

MODE端子が“L”の時には、ATT端子からのシリアルデータ転送モードとなる。

- MODE端子“H”時（端子設定モード）

EMPH1	EMPH2	ディエンファシス
L	L	OFF
L	H	Fs=32kHz用
H	L	Fs=44.1kHz用
H	H	Fs=48kHz用

D/N端子
“H”倍速
“L”標準速

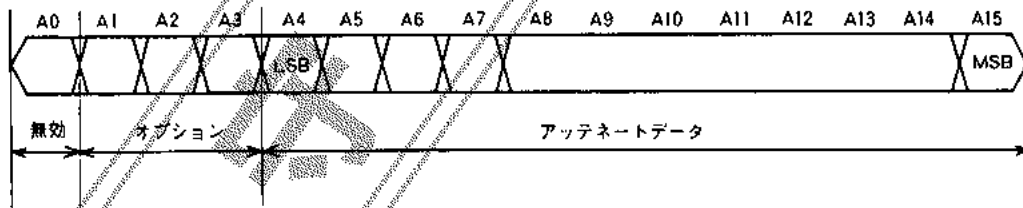
ATT、SHIFT、LATCH端子は、“H”または“L”に固定すること。

- MODE端子“L”時（ATTデータ入力モード）

ATT端子からのシリアルデータ転送モードとなるので、EMPH1、EMPH2、D/N端子は、“H”または“L”に固定すること。

ATTデータフォーマット

電気的特性のところでも示したタイミングで以下に示すデータを入力することにより、標準/倍速、ディエンファシスの設定やアッテネートをかけることができる。



- A1：スピードフラグ “L”標準速 “H”倍速
- A2、A3：ディエンファシスフラグ

A2	A3	ディエンファシス
L	L	OFF
L	H	Fs=32kHz用
H	L	Fs=44.1kHz用
H	H	Fs=48kHz用

イニシャライズ時は、ATTデータを4000H(A14のみ“1”)に設定する。

• アッテネート

内部乗算器の係数bit長が10bitのため、通常はアッテネートデータの上位10bit (A15~A6) が有効となる。

その時の減衰量は、

$$-20\text{Log} \left[\frac{\text{アッテネートデータ 上位10bit}}{256} \right] \text{ dB} \quad \text{となる。}$$

アッテネートデータの上位10bitが全て“0”となった時下位 2 bit (A5, A4) が有効となり、パレルレジスタによりさらに減衰が行われる。

アッテネート											アッテネーションレベル (dB)			
MSB	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6		LSB	A5	A4
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	1	1	1	1	1	1	1	1	1	1	-0.034
0	0	1	1	1	1	1	1	1	1	1	1	0	1	-0.034
0	0	1	1	1	1	1	1	1	1	1	0	0	1	-0.034
0	0	1	1	1	1	1	1	1	1	0	1	1	0	-0.068
0	0	1	1	1	1	1	1	1	0	1	1	0	0	-0.068
•	•	•	•	•	•	•	•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•	•	•	•	•	•	•	•
0	0	0	0	0	0	0	0	0	0	1	0	0	0	-48.16
0	0	0	0	0	0	0	0	0	0	0	1	1	1	-50.66
0	0	0	0	0	0	0	0	0	0	0	1	0	0	-54.19
0	0	0	0	0	0	0	0	0	0	0	0	1	1	-60.21
0	0	0	0	0	0	0	0	0	0	0	0	0	0	-∞

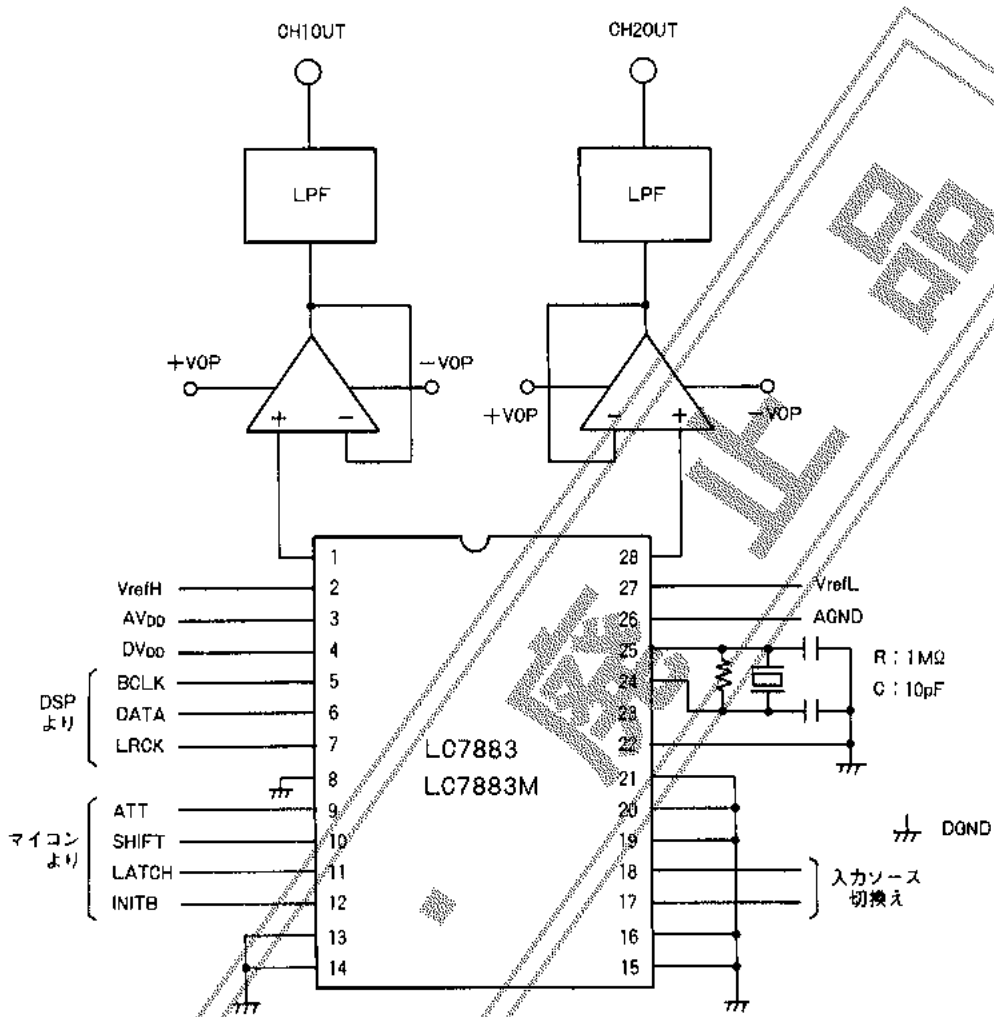
アッテネートデータが400Hの状態から000Hに設定をするとソフトミュートをを行う。

ソフトミュート時間は、1/Fs×1024となる。

また、アッテネートの変化時間もこのソフトミュートの変化時間の直線にのる。

保 守

応用回路例



1, 28ピンは、出力インピーダンスが高いため、バッファ用オペアンプは、必ずボルテージフォロウを使用すること。

AVDDとDVDDは同時に電源投入して、時間差のないようにすること。

- LPF : LOW PASS FILTER (Fc=20000Hz)
- ±VOP ≧ 6.0V
- DVDD = 5.0V
- AVDD = 5.0V
- VrefH = 5.0V
- AGND = 0.0V
- VrefL = 0.0V

この資料の情報(搭載回路および回路定数を含む)は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の侵害に対する保証を行うものではありません。本記載製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。